**Лекція 12**

**Пристрій синхронізації**

Пристрій управління і синхронізації є кварцовим резонатором, який підключається до зовнішніх входів ВQ1 BQ2 мікросхеми МК51 і керує роботою внутрішнього генератора, який в свою чергу формує сигнали синхронізації. Пристрій управління формує на підставі синхроімпульсів машинний цикл фіксованої довжини, що дорівнює 12 періодам резонатора і відповідає 6 станам керуючого автомата (S1 - S6). Кожен стан управління автомата містить дві фази (P1, P2).



ALE виконується два рази за машинний цикл і використовується процесом звернення до зовнішньої пам'яті. Більшість команд виконується за 1 машинний цикл. Деякі - за 2 машинних цикли (якщо команда двобайтна). MUL, DIV - за 4 машинних цикли.

У МК51 при підключенні зовнішнього кварцового резонатора в 12 мГц машинний цикл триває 1мкс:

**Таймери/лічильники**

МК 51 має два 16-розрядних таймера / лічильника - Т / ЛØ, Т / Л1 для формування тимчасових затримок на виходах портів або підрахунку зовнішніх подій.

Під час роботи в якості *таймера*, в кожному машинному циклі виконується інкрементація вмісту таймера/лічильника з частотою , де – частота тактового генератора, оскільки машинний цикл складається з 12 періодів частоти синхронізації.

Під час роботи в якості *лічильника* вміст таймера/лічильника інкрементується на кожному переході зовнішнього сигналу З «1» та «0».

Для управління режимами роботи Т / ЛЧ і для зв'язку з системою переривань використовуються (регістри спеціальних функцій) TMOD і TCON.

**Регістр режимів таймера TMOD**

|  |  |  |  |
| --- | --- | --- | --- |
| *GATE* | *(TMOD.7)Т/Л1*  *(TMOD.3)Т/Л0* | − | управління блокуванням, за встановлення розряду GATE = 1 дозволяється управляти Т/Лi, якщо зовнішній управляючий сигнал INTi = 1 і біт управління TRi встановлений, інакше управління Т/Лi дозволяється, тільки-но встановлюється біт управління TRi. |
| *С/T* | *(TMOD.6)Т/Л1*  *(TMOD.2)Т/Л0* | − | біт вибору режиму, якщо С/Т = 0, визначає роботу в якості таймера від внутрішнього джерела сигналів синхронізації, якщо С/Т = 1, працює як лічильник від зовнішніх сигналів на вході Тi. |
| *M1*  *M0* | *(TMOD.5)Т/Л1*  *(TMOD.1)Т/Л0*  *(TMOD.4)Т/Л1*  *(TMOD.0)Т/Л0* | − | визначають режими 0 – 3 роботи таймера/лічильника. |

*Розряди M0 і M1 регістра режимів таймера TMOD визначають чотири режими роботи Т/Лi:*

|  |  |  |
| --- | --- | --- |
| ***M0*** | ***M1*** | ***Режим работы Т/Лі*** |
| 0 | 0 | Режим 0 |
| 0 | 1 | Режим 1 |
| 1 | 0 | Режим 2 |
| 1 | 1 | Режим 3 |

**Регістр управління/статусу таймера TCON**



**Призначення розрядів регістру управління/статусу таймера TCON**

|  |  |  |  |
| --- | --- | --- | --- |
| *TF1*  *TF0* | *(TMOD.7)*  *(TMOD.5)* | − | ознака переповнювання таймерів Т/Лi, встановлюються програмно, або апаратно під час переповнювання Т/Лi; якщо переривання від відповідно-го таймера/лічильника дозволене, установка ознаки викличе переривання; ознаки скидаються програмно, або апаратно за обслуговування відповідного переривання; |
| *TR1*  *TR0* | *(TMOD.6)*  *(TMOD.4)* | − | біти управління таймерів Т/Лi, встановлюються і скидаються програмно; |

Інші чотири біта регістра TCON призначені для управління перериваннями від зовнішніх сигналів INT1 і INT0.

|  |  |  |  |
| --- | --- | --- | --- |
| *IE1*  *IE0* | *(TCON.3)*  *(TCON.1)* | − | ознаки запиту (фронту) зовнішніх переривань 1(0), Встановлюються апаратно за зрізом зовнішніх сигналів ЗПР1 (ЗПР0) або програмно. Скидаються апаратно при обслуговуванні переривання, викликаного фронтом сигналу переривання; |
| *IT1*  *IT0* | *(TCON.2)*  *(TCON.0)* | − | біти управління типом переривання 1(0), на входах INT1 і INT0; Встановлюються і скидаються програмно для специфікації запиту ЗПР1 (ЗПР0); якщо ITi = 0, то дозволено переривання за низь-ким рівнем сигналу, за встановлення ITi = 1 переривання за зрізом сигналу або за його низьким рівнем. |

**Режими роботи таймера/лічильника**

*Режим роботи «0»*

Логіка роботи Т/Л1 в режимі 0 показаний на рис. 1. В цьому режимі він схожий на Таймер/лічильник ВЕ48(8-ми бітний лічильник), на входи якого підключається дільник частоти на 32.

У режимі «0» таймер/лічильник є тринадцятирозрядним лічильником, де послідовно з’єднані п’ятирозрядний регістр TL1 і восьмирозрядний регістр TH1. Залежно від розряду С / Т1 регістра TMOD на вхід лічильника надходять зовнішні сигнали зі входу Т1 (лічильник) або сигнал таймер.

Рахування розпочинається за встановлення біта TR регістра TCON. Управління рахуванням ззовні здійснюють за допомогою біту GATE регістра TMOD. При цьому рахування дозволене за встановлення значення вхідного сигналу INT1 = 1 і заборонене за сигналом – INT0 = 0. Під час переповнювання Т/Л встановлюється ознака TF1. При переповненні лічильника ТНi змінює стан, при зміні стану лічильника З FFh на 00.



*Рис. 1. Логіка роботи таймера в режимі 0*

*Режим роботи «1»*

Аналогічний режиму 0 з тією лише різницею, що Т/Л є шістнадцятирозрядним лічильником, тобто регістр TL – восьмирозрядний.

*Режим роботи «2»*

Таймер/лічильник в такому режимі є восьмирозрядним лічильником на основі регістру ТL0. Під час кожного переповнювання регістру TL0 відбувається завантаження вмісту регістру TH0 в регістр TL0.

Вміст регістру TH0 завантажується програмно і в процесі рахування не змінюється.

*Режим роботи «3»*

У режимі 3 робота Т/Л0 і Т/Л1 відрізняється. Таймер/лічильник Т/Л0 являє собою два незалежних пристрої – на основі регістру TL0 може працювати і як таймер, і як лічильник; Т/Л1, на основі регістру TH0, працює тільки в режимі таймера. Для включення останнього використовується біт TR1, під час переповнювання встановлюється ознака TF1. Таймер/лічильник Т/Л1 включений постійно, його біт TR1 встановлений, і працює в режимах 0, 1 або 2, не виставляючи ознаки переповнювання. Т/Л1 може бути використаний в будь-якому режимі, що не вимагає переривань. Наприклад, для роботи з послідовним інтерфейсом, який супроводжується сигналами переповнювання Т/Л1.

**Приклад формування затримок на МК51**

*Відповідно до приведено алгоритму на рис.1 написати код програми для формування затримок необхідної тривалості.*

Рис. 1. Алгоритм програми

**Код програми**

|  |  |
| --- | --- |
| ANL P2, #80h | ; x1 |
| ANL 89h, #0000 1111h | ; M1,M0 = 00 , C/T=0, GATE=0 – режим 0 |
| ; 400мкс | |
| ANL 8Bh, #0h | ; TL1 := 0 |
| MOV 8Dh, #F4h | ; 400:32 = 12,5 ≈ 12, F4h = (-12)ДК |
| ORL P2, #01h |  |
| SETB TCON.6 | ; TR1:=1 |
| ll2: JNB TF ll2 |  |
| L JMP ll1 |  |
| ll1: ANL P2, #1000 0000h | ; сброс у1 |
| IN A, P2 |  |
| … |  |
| MOV R5, #7 | ; 15:2 – DJNZ 2мкс |
| ORL P2, #10h |  |
| ll4: DJNZ R5, ll4 |  |
| ANL P2, #80h |  |
| L JMP ll6 |  |
| … |  |
| ll3: … | ; 200 мкс |

**Приклад №2**

*Відповідно до приведено алгоритму на рис.1 написати код програми для формування затримок необхідної тривалості та вивести відповідні управляючі сигнали на виходи порту Р2.*



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Часові затримки сигналів* | | | | |
| y1 | y2 | y3 | y4 | y5 |
| 18 | 280 | 80 | 720 | 60 |

**Выполнение задания**

Для зручності об’єднаємо деякі формування затримок у блоці у процедури.Для вводу і виводу сигналів будемо використовувати порт P2, причому, розряди порту в початковому стані налаштовані на вивід інформації Р2[5..0]. Умову переходів алгоритму будемо аналізувати відповідно до значення шостого тат сьомого розрядів порту Р2. Відповідність виходів порту і сигналів вказана в таблиці 1.

*Табл.1 Відповідність виходів порту та сигналів*

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *Розряд порту* | *Р17* | *Р16* | *Р15* | *Р14* | *Р13* | *Р12* | *Р11* | *Р10* |
| *Сигнал* | *Х2* | *Х1* | *0* | *У5* | *У4* | *У3* | *У2* | *У1* |

**Код програми**

|  |  |
| --- | --- |
| BLOCK1: |  |
| ANL P2, #С0H  ORL P2, #07H | ; Обнуління вмісту порту Р2  ; Виставлення усіх сигналів на порт Р2 |
| ; Формування затримки 18 мкс, так як в у1 має «згаснути» в блоці 1 | |
| Y1: |  |
| MOV R1, #09H  CYCLE\_18:  DJNZ R1, CYCLE\_18  RET | ; Запис до R1 константи 9, так як 18:2 – DJNZ 2 мкс  ; Цикл відліку затримки 18 мкс  ; Завершення циклу за нульового вмісту регістра  ; Повернення з процедури |
| ; Формування затримки 80-18 = 62 мкс, так як в у3 має «згаснути» в блоці 1  ; Затримка формується за допомогою таймера: 62 : 32 = 2 | |
| Y3:  MOV TMOD, #00H  ANL 8DH, #00H  MOV 8BH, #FEH  ANL P2, #С6H  SETB TR1  CYCLE\_62:  JNB TF1, CYCLE\_62 | ; Встановлення режиму 0 для таймера  ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-2)ДК  ; Виставлення сигналів у2у3 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 62 мкс  ; Перехід після переповнення таймера |
| ; Формування затримки 280-80 = 200 мкс для останнього сигналу у першому блоці  ; Затримка формується за допомогою таймера: 200 : 32 = 6 | |
| Y2:  ANL 8DH, #00H  MOV 8BH, #FАH  ANL P2, #С2H  SETB TR1  CYCLE\_200:  JNB TF1, CYCLE\_200 | ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-6)ДК  ; Виставлення сигналів у2 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 200 мкс  ; Перехід після переповнення таймера |
| ; Перевірка умови Х1 | |
| checkX1first:  JB P2.6, checkX1second | ; Перевірка шостого біта порту, що відповідає за умову Х1 |
| ; Формування затримки 280 мкс для сигналу у2 у другому блоці  ; Затримка формується за допомогою таймера: 280 : 32 = 9 | |
| Y2\_280:  ANL 8DH, #00H  MOV 8BH, #FАH  ANL P2, #С2H  SETB TR1  CYCLE\_280:  JNB TF1, CYCLE\_200 | ; Якщо Х1 не 1, то перехід до блока 2  ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-9)ДК  ; Виставлення сигналів у2 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 280 мкс  ; Перехід після переповнення таймера |
| ; Перевірка умови Х2 | |
| checkX2:  JB P2.7, Y1Y4  JMP BLOCK1 | ; Перевірка шостого біта порту, що відповідає за умову Х2  ; Якщо Х2 не 1, то перехід до блока 1 |
| checkX1second:  JB P2.6, BLOCK4 | ; Перевірка шостого біта порту, що відповідає за умову Х2 |
| Y1Y4: | ; Якщо Х1 не 1, то перехід до блока 3 |
| ANL P2, #С0H  ORL P2, #09H  CALL Y1 | ; Обнуління вмісту порту Р2  ; Виставлення сигналів у4у1 на порт Р2  ; Виклик затримки у1 |
| ; Формування затримки 720 – 18 = 702 мкс для сигналу у4 у третьому блоці  ; Затримка формується за допомогою таймера: 702 : 32 = 22 | |
| Y4: |  |
| ANL 8DH, #00H  MOV 8BH, #ЕАH  ANL P2, #С8H  SETB TR1  CYCLE\_702:  JNB TF1, CYCLE\_702 | ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-22)ДК  ; Виставлення сигналу у4 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 702 мкс  ; Перехід після переповнення таймера |
| BLOCK4: |  |
| ; Формування затримки 720 мкс для сигналу у4 у четвертому блоці  ; Затримка формується за допомогою таймера: 720 : 32 = 23 | |
| ANL 8DH, #00H  MOV 8BH, #ЕАH  ANL P2, #С8H  SETB TR1  CYCLE\_720:  JNB TF1, CYCLE\_720  END | ; Обнуління молодших розрядів таймера TL1  ; Внесення у таймер константи (-23)ДК  ; Виставлення сигналу у4 на порт Р2  ; Запуск таймера  ; Цикл відліку затримки 720 мкс  ; Перехід після переповнення таймера  ; Кінець програми |